

Bescheinigung

PRIORITY DOCUMENT

Die Siemens Aktiengesellschaft in München/Deutschland und die Forschungszentrum Jülich GmbH in Jülich/Deutschland haben eine Patentanmeldung unter der Bezeichnung

"Verfahren zur Herstellung eines vertikalen MOS-Transistors"

am 19. März 1997 beim Deutschen Patentamt eingereicht.

Die angehefteten Stücke sind eine richtige und genaue Wiedergabe der ursprünglichen Unterlagen dieser Patentanmeldung.

Die Anmeldung hat im Deutschen Patentamt vorläufig das Symbol H 01 L 21/336 der Internationalen Patentklassifikation erhalten.

München, den 3. März 1998

Der Präsident des Deutschen Patentamts

Im Auftrag

Zeichen: 197 11 481.4

Agurks

00-00-11 M

THIS PAGE BLANK (USPTO)

EXHIBIT

Beschreibung

Verfahren zur Herstellung eines vertikalen MOS-Transistors.

- 5 Im Hinblick auf immer schnellere Bauelemente bei höherer Integrationsdichte nehmen die Strukturgrößen integrierter Schaltungen von Generation zu Generation ab. Dieses gilt auch für die CMOS-Technologie. Es wird allgemein erwartet (siehe zum Beispiel Roadmap of Semiconductor Technology, Solid State Technology 3, (1995)), daß um das Jahr 2010 MOS-Transistor mit einer Gatelänge von weniger als 100 nm eingesetzt werden.

- 15 Einerseits wird versucht, durch Skalierung der heute üblichen CMOS-Technologie planare MOS-Transistoren mit derartigen Gatelängen zu entwickeln (siehe zum Beispiel A. Hori, H. Nakao-ka, H. Uemimoto, K. Yamashita, M. Takase, N. Shimizu, B. Mizuno, S. Odanaka, A 0,05 μm -CMOS with Ultra Shallow Source/Drain Junctions Fabricated by 5 keV Ion Implantation and Rapid Thermal Annealing, IEDM 1994, 485 und H. Hu, L. T. Su, Y. Yang, D. A. Antoniadis, H. I. Smith, Channel and Source/Drain Engineering in High-Performance sub-0,1 μm NMOSFETs using X-Ray lithography, Symp. VLSI Technology, 17, (1994)). Derartige planare MOS-Transistoren mit Kanallängen unter 100 nm herzustellen, erfordert den Einsatz von Elektronenstrahl-lithographie und ist bisher nur im Labormaßstab möglich. Der Einsatz der Elektronenstrahl-lithographie führt zu einer überproportionalen Steigerung der Entwicklungskosten.

- 30 Parallel dazu werden zur Realisierung kurzer Kanallängen vertikale Transistoren untersucht (siehe zum Beispiel L. Risch, W. H. Krautschneider, F. Hofmann, H. Schäfer, Vertical MOS Transistor with 70 nm channel length, ESSDERC 1995, Seite 101 bis 104). Dabei werden Schichtenfolgen entsprechend Source, Kanal und Drain gebildet, die ringförmig von Gatedielektrikum und Gateelektrode umgeben sind. Diese vertikalen MOS-Transistoren sind im Vergleich zu planaren MOS-Transistoren bezüglich ihrer Hochfrequenz- und Logikeigenschaften bisher

unbefriedigend. Dieses wird einerseits auf parasitären Kapazitäten des überlappenden Gates und andererseits auf die Ausbildung eines parasitären Bipolartransistors in der vertikalen Schichtenfolge zurückgeführt.

5

Der Erfindung liegt daher das Problem zugrunde, ein Verfahren zur Herstellung eines vertikalen MOS-Transistors anzugeben, bei dem die Hochfrequenz- und Logikeigenschaften des vertikalen MOS-Transistors mit denen planarer MOS-Transistoren vergleichbar werden.

10

Dieses Problem wird erfindungsgemäß gelöst durch ein Verfahren nach Anspruch 1. Weitere Ausgestaltungen der Erfindung gehen aus den übrigen Ansprüchen hervor.

15

In dem Verfahren wird auf einer Hauptfläche eines Halbleitersubstrats eine Maske mit einer Öffnung gebildet, wobei innerhalb der Öffnung die Hauptfläche des Halbleitersubstrats freiliegt. In dieser Öffnung wird durch selektive Epitaxie eine Schichtenfolge aufgewachsen, die jeweils eine Schicht für ein unteres Source-/Draingebiet, ein Kanalgebiet und ein oberes Source/Drain-Gebiet aufweist. Beim Aufwachsen der Schichtenfolge werden am Rand der Schichtenfolge Facetten gebildet, so daß die Dicke der Schichten am Rand der Öffnung geringer ist als in der Mitte. Gatedielektrikum und Gateelektrode werden am Rand der Schichtenfolge gebildet.

20

25

In dem Verfahren wird die Erkenntnis ausgenutzt, daß sich bei der selektiven Epitaxie an den Rändern einer Maske Facetten ausbilden, da an diesen Rändern die Aufwachsrate bei der selektiven Epitaxie geringer ist. Eine Untersuchung über die Ausbildung von Facetten bei der selektiven Epitaxie ist zum Beispiel aus L. Vescan, Radiative recombination in SiGe/Si dots....., Mater. Science and Eng. B28, 1-8 (1994), bekannt.

30

35

Diese Eigenschaft der selektiven Epitaxie wird ausgenutzt, um die Dicke der Schichten am Rand der Schichtenfolge geringer



als in der Mitte der Schichtenfolge zu realisieren. Dadurch wird erzielt, daß die Basisweite des parasitären Bipolartransistors, der sich in der Mitte der Schichtenfolge bildet, größer ist als die Kanalweite des vertikalen MOS-Transistors, der am Rand der Schichtenfolge gebildet wird. Die Kanaleigenschaften sind daher von den Volumeneigenschaften in der Schichtenfolge entkoppelt. Da der parasitäre Bipolartransistor eine größere Basisweite hat, als es der Kanallänge des vertikalen MOS-Transistors entspricht, bestimmt der vertikale MOS-Transistor die Eigenschaften der Struktur.

Vorzugsweise weist die Maske mindestens an der Oberfläche SiO_2 und/oder Si_3N_4 auf. Unter Verwendung einer Maske aus diesen Materialien läßt sich das Dickenverhältnis zwischen Mitte und Rand der Schichtenfolge je nach Wachstumsbedingungen zwischen 2 und 3 einstellen.

Es liegt im Rahmen der Erfindung, bei der Bildung der Maske ganzflächig eine erste isolierende Schicht, eine leitfähige Schicht und eine zweite isolierende Schicht zu bilden, in denen die Öffnung erzeugt wird. Vor der selektiven Epitaxie zur Bildung der Schichtenfolge wird an der freigelegten Oberfläche der leitfähigen Schicht das Gatedielektrikum gebildet. Aus der leitfähigen Schicht wird die Gateelektrode gebildet. Dieses Verfahren hat den Vorteil, daß die Seitenwand der Schichtenfolge bei der Herstellung des Gatedielektrikums und der Gateelektrode nicht mehr einem Ätzprozeß unterworfen wird.

Vorzugsweise wird dabei das untere Source-/Draingebiet in einer solchen Höhe aufgewachsen, daß es am Rand der Öffnung mit der ersten isolierenden Schicht abschließt. Das Kanalgebiet wird in der Höhe so aufgewachsen, daß es am Rand der Öffnung mit der leitfähigen Schicht abschließt. Auf diese Weise werden die parasitären Kapazitäten der Gateelektrode minimiert, was zu einer weiteren Verbesserung der Hochfrequenzeigenschaften führt.

Ferner liegt es im Rahmen der Erfindung, die Maske aus isolierendem Material zu bilden. Nach der Bildung der Schichtenfolge wird dann die Seitenwand des Kanalgebietes so freigelegt, daß die Seitenwand des unteren Source-/Draingebietes von dem isolierenden Material der Maske im wesentlichen bedeckt bleibt. An der freigelegten Seitenwand des Kanalgebietes werden anschließend das Gatedielektrikum und die Gateelektrode gebildet, wobei die Gateelektrode in der Höhe vorzugsweise auf die Höhe des Kanalgebiets abgestimmt wird. Auch in dieser Ausführungsform werden die Kapazitäten der Gateelektrode minimiert, was zu einer Verbesserung der Hochfrequenzeigenschaften führt. Die Gateelektrode wird zum Beispiel durch Abscheiden und Strukturieren einer leitfähigen Schicht gebildet.

Vorzugsweise wird die Maske aus isolierendem Material, dabei aus einer ersten isolierenden Schicht und einer zweiten isolierenden Schicht gebildet. Die erste isolierende Schicht ist dabei auf der Hauptfläche des Substrats angeordnet. Die zweite isolierende Schicht ist auf der ersten isolierenden Schicht angeordnet. Die zweite isolierende Schicht ist selektiv zur ersten isolierenden Schicht und zur Schichtenfolge ätzbar. Das untere Source-/Draingebiet wird in diesem Fall in einer solchen Höhe aufgewachsen, daß es am Rand der Öffnung in der Höhe mit der ersten isolierenden Schicht abschließt. Nach dem Aufwachsen der Schichtenfolge wird in der zweiten isolierenden Schicht eine Öffnung gebildet, die das Kanalgebiet ringförmig umgibt. Nach Bildung des Gatedielektrikums wird die Öffnung mit einer leitfähigen Schicht aufgefüllt. Durch Strukturieren der leitfähigen Schicht, zum Beispiel mit Hilfe von Planarisierungsschritten, wird schließlich die Gateelektrode gebildet.

Dabei ist es besonders vorteilhaft, die Öffnung in der zweiten isolierenden Schicht an mindestens einer Seite der Schichtenfolge über die Schichtenfolge deutlich hinausragen

zu lassen. Die Öffnung weist in diesem Fall an mindestens einer Seite der Schichtenfolge eine Aufweitung auf. Im Bereich dieser Aufweitung werden inselförmige Hilfsstrukturen aus dem Material der zweiten isolierenden Schicht angeordnet. Dadurch weist die Öffnung im Bereich der Aufweitung einen gitterförmigen Querschnitt auf. Die leitfähige Schicht füllt die Öffnung auch im Bereich der Aufweitung auf. Dadurch weist auch die Gateelektrode mindestens teilweise einen gitterförmigen Querschnitt auf. Im Bereich der Aufweitung kann nachfolgend ein Kontaktloch zur Gateelektrode geöffnet werden, das in seiner Strukturfeinheit wesentlich gröber sein kann als die Strukturen der Öffnung. Auf diese Weise kann das Kontaktloch so bemessen werden, daß elektrische Eigenschaften des Gatekontakts optimiert werden.

Eine weitere Verbesserung der Hochfrequenzeigenschaften durch Minimierung der parasitären Kapazitäten wird dadurch erzielt, daß die Schichtenfolge ringförmig strukturiert wird und die ringförmig strukturierte Schichtenfolge mit einer isolierenden Füllung versehen wird. Durch das Entfernen des Halbleitermaterials im Inneren der Schichtenfolge wird die Ausbildung von Raumladungszonen, die wiederum parasitäre Kapazitäten bewirken, unterdrückt.

Im folgenden wird die Erfindung anhand von Ausführungsbeispielen, die in den Figuren dargestellt sind, näher erläutert.

Figur 1 zeigt einen Schnitt durch ein Halbleitersubstrat mit einem Anschlußgebiet und einer Maske.

Figur 2 zeigt den Schnitt durch das Halbleitersubstrat nach Bildung einer Schichtenfolge durch selektive Epitaxie.

Figur 3 zeigt den Schnitt nach Bildung einer Öffnung, die die Schichtenfolge ringförmig umgibt und Bildung eines Gatedielektrikums.

5 Figur 4 zeigt eine Aufsicht auf die Figur 3.

Figur 5 zeigt den in Figur 3 dargestellten Schnitt nach Auf-
füllen der Öffnung mit einer leitfähigen Schicht und
Erzeugung einer planarisierenden Isolationsschicht.

10

Figur 6 zeigt den Schnitt nach Bildung einer Gateelektrode
durch Strukturierung der leitfähigen Schicht.

Figur 7 zeigt den Schnitt nach Öffnung von Kontaktlöchern.

15

Figur 8 zeigt den Schnitt nach Bildung von Metallsilizidan-
schlußflächen, einer Passivierungsschicht und Kontak-
ten.

20 Figur 9 zeigt einen Schnitt durch ein Halbleitersubstrat mit
einem Anschlußgebiet und einer Maske.

Figur 10 zeigt den Schnitt nach Bildung einer Schichtenfolge
durch selektive Epitaxie.

25

Figur 11 zeigt den Schnitt nach Bildung einer Öffnung, die
die Schichtenfolge ringförmig umgibt.

Figur 12 zeigt den Schnitt nach Bildung einer Gateelektrode,
einer Passivierungsschicht und Kontakten.

30

Figur 13 zeigt einen Schnitt durch ein Halbleitersubstrat mit
einem Anschlußgebiet und einer Maske, die eine leit-
fähige Schicht aufweist, an deren Oberfläche ein Ga-
tedielektrikum gebildet ist.

35

Figur 14 zeigt den Schnitt nach Bildung einer Schichtenfolge durch selektive Epitaxie und Abscheidung und Planarisierung einer isolierenden Schicht.

- 5 Figur 15 zeigt den Schnitt nach Rückätzen der isolierenden Schicht und Bildung von Spacern an den Seitenwänden der Maske.

- 10 Figur 16 zeigt den Schnitt nachdem die Schichtenfolge unter Verwendung des Spacers als Maske ringförmig strukturiert wurde, wobei die Oberfläche des Anschlußgebietes freigelegt wird.

- 15 Figur 17 zeigt den Schnitt, nachdem die ringförmig strukturierte Schichtenfolge mit einer isolierenden Füllung versehen wurde und nach der Bildung von Kontakten.

Die Darstellungen in den Figuren sind nicht maßstäblich.

- 20 In einem Substrat 11 aus monokristallinem Silizium, zum Beispiel einer monokristallinen Siliziumscheibe oder der monokristallinen Siliziumschicht eines SOI-Substrates, wird in einem ersten Ausführungsbeispiel ein Anschlußgebiet 12 durch Implantation mit Arsen oder Phosphor mit $5 \times 10^{15} \text{ cm}^{-2}$, 40 keV und anschließendes Tempern zur Aktivierung des Dotierstoffes gebildet (siehe Figur 1).

- 30 Auf dem Substrat 11 wird anschließend eine Maske 13 gebildet. Dazu wird ganzflächig eine Siliziumnitridschicht 131 in einer Dicke von zum Beispiel 70 nm und darauf eine Siliziumoxidschicht 132 in einer Dicke von zum Beispiel 500 nm aufgebracht. Die Siliziumoxidschicht 132 und die Siliziumnitridschicht 131 werden anschließend durch anisotropes Ätzen strukturiert, wobei eine Öffnung 130 gebildet wird. Innerhalb
35 der Öffnung 130 liegt die Oberfläche des Anschlußgebietes 12 frei.

Innerhalb der Öffnung 130 wird durch selektive Epitaxie eine Schichtenfolge 14 aufgewachsen, die eine erste Schicht 141 für ein unteres Source-/Draingebiet, eine zweite Schicht 142 für ein Kanalgebiet und eine dritte Schicht 143 für ein oberes Source-/Draingebiet aufweist (siehe Figur 2). Die erste Schicht 141 wird zum Beispiel aus n-dotiertem Silizium mit einer Dotierstoffkonzentration von $5 \times 10^{19} \text{ cm}^{-3}$ in einer Schichtdicke von 100 nm aufgewachsen. Die zweite Schicht 142 wird zum Beispiel aus p-dotiertem Silizium mit einer Dotierstoffkonzentration von 10^{18} cm^{-3} in einer Schichtdicke von 100 nm aufgewachsen. Die dritte Schicht 143 wird aus n-dotiertem Silizium mit einer Dotierstoffkonzentration von $5 \times 10^{19} \text{ cm}^{-3}$ in einer Schichtdicke von 200 nm aufgewachsen. Die selektive Epitaxie wird dabei so geführt, daß es am Rand der Öffnung 130 zur Facettenbildung kommt. Das heißt, die erste Schicht 141, zweite Schicht 142 und die dritte Schicht 143 weisen am Rand der Öffnung 130 eine geringere Schichtdicke als in der Mitte der Öffnung 130 auf. Die angegebenen Schichtdicken gelten für die Mitte der Öffnung. Die selektive Epitaxie wird zum Beispiel unter Verwendung folgender Prozeßgase $\text{Si}_2\text{H}_2\text{Cl}_2$, B_2H_6 , AsH_3 , PH_3 , HCl , H_2 im Temperaturbereich zwischen 700 bis 950°C und dem Druckbereich zwischen 5 bis 20000 Pa auf Silizium-Wafern mit einer [110]-Flat-Orientierung durchgeführt. Die erste Schicht 141 wird so aufgewachsen, daß ihre Dicke am Rand der Öffnung 130 in etwa mit der Dicke der Siliziumnitridschicht 131 übereinstimmt.

Unter Verwendung einer photolithographisch erzeugten Maske (nicht dargestellt) wird anschließend eine Öffnung 15 in der Siliziumoxidschicht 132 gebildet, die die Seitenwände der Schichtenfolge 14 freilegt (siehe Figur 3 und Aufsicht in Figur 4). In der Öffnung 15 wird die Oberfläche der Siliziumnitridschicht 131 freigelegt. Die Öffnung 15 weist seitlich der Schichtenfolge 14 eine Aufweitung 150 auf, in der inselförmige Strukturen 132' aus dem Material der Siliziumoxidschicht 132 angeordnet sind (siehe Figur 4). Die inselförmigen Strukturen 132' sind matrixförmig angeordnet, so daß die Öffnung

15 im Bereich der Aufweitung 150 einen gitterförmigen Querschnitt aufweist.

Die Öffnung 15 überlappt die Schichtenfolge 14 seitlich. Da
5 die Justierung in lithographischen Verfahren genauer ist als die minimale Strukturgröße, beträgt der Abstand zwischen der Schichtenfolge 14 und der strukturierten Siliziumoxidschicht 132 weniger als eine minimale Strukturgröße. Bei Verwendung einer Lithographie mit einer minimalen Strukturgröße von 0,6
10 μm und einer Justiergenauigkeit von 0,2 μm beträgt der Abstand zwischen der Schichtenfolge 14 und der Siliziumoxidschicht 132 bzw. den inselförmigen Strukturen 132' zum Beispiel 0,3 μm . Die Strukturgröße der inselförmigen Strukturen 132' beträgt jeweils eine minimale Strukturgröße, zum Beispiel 0,6 μm .
15

Durch thermische Oxidation wird anschließend an der freiliegenden Oberfläche der zweiten Schicht 142 sowie der dritten Schicht 143 ein Gatedielektrikum 16 aus SiO_2 in einer
20 Schichtdicke von 3 bis 5 nm gebildet.

Anschließend wird ganzflächig eine leitfähige Schicht 17 abgeschieden. Die Dicke der leitfähigen Schicht 17 wird so eingestellt, daß der Zwischenraum zwischen der Schichtenfolge 14 und der Siliziumoxidschicht 132 aufgefüllt wird. Für die leitfähige Schicht 17 sind alle Materialien geeignet, die als Gateelektrode in Frage kommen, insbesondere dotiertes Polysilizium, Metallsilizid, Metall. Die leitfähige Schicht 17 wird zum Beispiel aus n-dotiertem Polysilizium in einer Schicht-
30 dicke von 400 nm gebildet (siehe Figur 5). Anschließend wird auf die leitfähige Schicht 17 eine Planarisierungsschicht 18 zum Beispiel aus Photolack oder einem anderen Spin-on Material gebildet. Die Oberfläche der leitfähigen Schicht 17 wird zum Beispiel durch Planarisierungsätzen oder chemisch-
35 mechanisches Polieren eingeebnet. Anschließend wird die leitfähige Schicht 17 hochselektiv zu SiO_2 geätzt. Dabei wird aus

der leitfähigen Schicht 17 eine Gateelektrode 170 gebildet (siehe Figur 6).

5 Anschließend wird ganzflächig eine weitere SiO_2 -Schicht in einer Schichtdicke von zum Beispiel 70 nm aufgebracht und mit Hilfe einer Photolackmaske 19 strukturiert. Dabei werden die Oberfläche des Anschlußgebietes 12, der Gateelektrode 170 sowie der dritten Schicht 143 teilweise freigelegt (siehe Figur 7).

10

Durch selbstjustierte Silizierung zum Beispiel in einem Salicideprozeß mit Titan werden an der freigelegten Oberfläche des Anschlußgebietes 12, der Gateelektrode 170 und der dritten Schicht 143 Silizidanschlüsse 110 gebildet (siehe Figur 15 8). Die Silizidanschlüsse 110 dienen jeweils der Reduzierung der parasitären Serienwiderstände.

Nach ganzflächigem Aufbringen einer Passivierungsschicht 111 zum Beispiel aus SiO_2 , in der Kontaktlöcher zu den Silizidanschlüssen 110 zum Anschlußgebiet 12 sowie zur dritten Schicht 143 und zur Gateelektrode 170 geöffnet werden, werden durch 20 Bildung einer Metallschicht und Strukturierung der Metallschicht Kontakte 112 zum Anschlußgebiet 12, zur dritten Schicht 143, die das obere Source-/Draingebiet bildet, sowie 25 zur Gateelektrode 170 gebildet. Das Kontaktloch zur Gateelektrode 170 ist in dem in Figur 8 dargestellten Schnitt nicht sichtbar. Es befindet sich im Bereich der Aufweitung 150 (vergleiche Figur 4). Durch die gitterförmige Struktur der Gateelektrode 170 im Bereich der Aufweitung 150 (vergleiche 30 Figur 4) ist es möglich, das Kontaktloch zur Gateelektrode 170 mit einem größeren Querschnitt vorzusehen, als es den Strukturgrößen der Gateelektrode 170 in diesem Bereich entspricht. Das Kontaktloch zur Gateelektrode 170 überlappt eine oder mehrere der inselförmigen Strukturen 132'.

35

In einem Substrat 21, zum Beispiel einer monokristallinen Siliziumscheibe oder der monokristallinen Siliziumschicht eines

SOI-Substrates wird in einem zweiten Ausführungsbeispiel zum Beispiel durch maskierte Implantation und nachfolgende Temperung zur Ausheilung der Implantationsschäden ein Anschlußgebiet 22 gebildet. Anschließend wird auf der Oberfläche des Substrats 21 eine Maske 23 gebildet, die eine Öffnung 230 aufweist, in der die Oberfläche des Anschlußgebietes 22 freiliegt (siehe Figur 9).

Zur Bildung der Maske 23 wird auf das Substrat 21 eine Anschlußschicht 231, eine Siliziumnitridschicht 232 und eine Siliziumoxidschicht 233 aufgebracht. Die Anschlußschicht 231 wird zum Beispiel aus hochdotiertem Polysilizium in einer Schichtdicke von 50 nm gebildet. Für die Anschlußschicht 231 sind alle elektrisch leitfähigen Materialien, insbesondere dotiertes Polysilizium, Silizid, Metall geeignet. Die Siliziumnitridschicht 232 wird in einer Schichtdicke von 20 nm aufgebracht. Die Siliziumoxidschicht 233 wird in einer Schichtdicke von zum Beispiel 500 nm aufgebracht.

Unter Verwendung einer photolithographisch erzeugten Maske (nicht dargestellt) werden die Anschlußschicht 231, die Siliziumnitridschicht 232 und die Siliziumoxidschicht durch anisotropes Ätzen zum Beispiel mit CHF_3 , O_2 (für Nitrid, Oxid) HBr , Cl_2 , He , O_2 (für Polysilizium) strukturiert. Dabei wird die Öffnung 230 gebildet. Nachfolgend werden an den der Öffnung 230 zugewandten Seitenwänden der Anschlußschicht 231, der Siliziumnitridschicht 232 und der Siliziumoxidschicht 233 durch konforme Abscheidung und anisotropes Rückätzen einer Siliziumoxidschicht Siliziumoxidspacer 234 gebildet. Die Siliziumoxidspacer weisen eine Breite von 10 nm auf (siehe Figur 9).

Durch selektive Epitaxie wird in der Öffnung 230 eine Schichtenfolge 24 aufgewachsen, die eine erste Schicht 241 für ein unteres Source-/Draingebiet, eine zweite Schicht 242 für ein Kanalgebiet und eine dritte Schicht 243 für ein oberes Source-/Draingebiet aufweist (siehe Figur 10). Die selektive Epi-

taxie wird unter Einhaltung folgender Prozeßbedingungen durchgeführt: Prozeßgas: SiH_2Cl_2 , B_2H_6 , AsH_3 , PH_3 , HCl , H_2 , Temperaturbereich: 700 bis 950°C, Druckbereich: 5 bis 20 000 Pa. Dabei wird die erste Schicht 241 aus n-dotiertem Silizium mit einer Dotierstoffkonzentration von $5 \times 10^{19} \text{ cm}^{-3}$ in einer Schichtdicke von 100 nm gebildet. Die zweite Schicht 242 wird aus p-dotiertem Silizium mit einer Dotierstoffkonzentration von 10^{18} cm^{-3} in einer Schichtdicke von 100 nm gebildet. Die dritte Schicht 243 wird aus n-dotiertem Silizium mit einer Dotierstoffkonzentration von $5 \times 10^{19} \text{ cm}^{-3}$ in einer Schichtdicke von 200 nm gebildet. Die angegebenen Dicken beziehen sich auf die Mitte der Öffnung 230. Bei den angegebenen Prozeßparametern kommt es zur Ausbildung von Facetten am Rand der Öffnung 230, so daß die Schichtdicken der ersten Schicht 241, der zweiten Schicht 242 und der dritten Schicht 243 dort um einen Faktor von ca. 2 bis 3 geringer sind.

Anschließend wird eine Öffnung 25 gebildet, die die Schichtenfolge 24 ringförmig umgibt (siehe Figur 11). In der Öffnung 25 sind die Seitenwände der zweiten Schicht 242 und der dritten Schicht 243 freigelegt. Die Öffnung 25 wird unter Verwendung einer photolithographisch gebildeten Maske (nicht dargestellt) geätzt, wobei die Siliziumnitridschicht 232 als Ätzstop dient. Im Bereich der ersten Schicht 241 verbleibt ein Rest des Siliziumoxidspacers 234, der die Anschlußschicht 231 gegen die erste Schicht 241 isoliert. Die Anschlußschicht 231 steht mit dem Anschlußgebiet 22 in elektrischer Verbindung.

Durch thermische Oxidation wird an der freiliegenden Oberfläche der zweiten Schicht 242 und der dritten Schicht 243 ein Gatedielektrikum 26 gebildet. Das Gatedielektrikum 26 wird aus SiO_2 in einer Schichtdicke von zum Beispiel 3 bis 5 nm gebildet. Der MOS-Transistor wird analog wie im ersten Ausführungsbeispiel durch Bildung einer Gateelektrode 270, die die Öffnung 25 ausfüllt, durch Abscheidung und Strukturierung einer weiteren SiO_2 -Schicht 28, durch Bildung von Silizidan-

schlüssen 210 zur dritten Schicht 243, zur Gateelektrode 270 und zur Anschlußschicht 231, durch Abscheidung einer Passivierungsschicht 211 und durch Bildung von Kontakten 212 zu den Silizidanschlüssen 210, die auf der dritten Schicht 243, auf der Anschlußschicht 231 und der Gateelektrode 270 angeordnet sind fertiggestellt. Der Kontakt 212 zur Gateelektrode wird vorzugsweise wie anhand des ersten Ausführungsbeispiels beschrieben seitlich der Schichtenfolge 24 vorgesehen.

- 10 In einem Substrat 31, zum Beispiel einer monokristallinen Siliziumscheibe oder der Siliziumschicht eines SOI-Substrates wird in einem dritten Ausführungsbeispiel ein Anschlußgebiet 32 gebildet. Das Anschlußgebiet 32 wird zum Beispiel durch Implantation von Asmit $5 \times 10^{15} \text{ cm}^{-2}$, 40 keV und anschließende
15 Temperung zur Ausheilung der Implantationsschäden gebildet.

Auf der Oberfläche des Substrats 31 wird nachfolgend eine Maske 33 gebildet, die eine Öffnung 330 aufweist. Innerhalb
20 der Öffnung 330 liegt die Oberfläche des Anschlußgebietes 32 teilweise frei (siehe Figur 13).

Zur Bildung der Maske 33 wird auf die Oberfläche des Substrats 31 eine Siliziumnitridschicht 331 in einer Dicke von 20 nm und eine 50 nm dicke erste Siliziumoxidschicht 332 aufgebracht. Darauf wird eine leitfähige Schicht aufgebracht und so strukturiert, daß sie eine Gateelektrode 370 bildet. Die Gateelektrode 370 wird aus dotiertem Polysilizium in einer Schichtdicke von 100 nm gebildet. Darauf wird eine zweite
30 Siliziumoxidschicht 333 in einer Schichtdicke von 600 nm aufgebracht und planarisiert. Durch anisotropes Ätzen unter Verwendung einer photolithographisch gebildeten Maske (nicht dargestellt) wird die Öffnung 330 in der Maske 33 geöffnet. Die Öffnung 330 weist Abmessungen von zum Beispiel $0,6 \times 0,6 \mu\text{m}^2$ auf. Dabei wird eine Lithographie zugrundegelegt, in der
35 die minimale Strukturgröße $F = 0,6 \mu\text{m}$ und die Justiergenauigkeit maximal $0,2 \mu\text{m}$ beträgt.

Bei der Bildung der Öffnung 330 wird zunächst bis auf die Oberfläche der Siliziumnitridschicht 331 geätzt. Durch thermische Oxidation wird dann an der freigelegten Oberfläche der Gateelektrode 370 ein Gatedielektrikum 36 aus SiO_2 in einer Schichtdicke von 3 bis 10 nm gebildet. Nachfolgend wird selektiv zu SiO_2 und zu Silizium die Siliziumnitridschicht 331 durchgeätzt, wobei in der Öffnung 330 die Oberfläche des Anschlußgebietes 32 teilweise freigelegt wird.

10

Durch selektive Epitaxie wird in der Öffnung 330 nachfolgend eine Schichtenfolge 34 aufgewachsen (siehe Figur 14). Die Schichtenfolge 34 weist eine erste Schicht 341, eine zweite Schicht 342 und eine dritte Schicht 343 auf. Die erste Schicht 341 wird aus n-dotiertem Silizium mit einer Dotierstoffkonzentration von $5 \times 10^{19} \text{ cm}^{-3}$ und einer Schichtdicke von 150 nm aufgewachsen. Die zweite Schicht 342 bildet ein Kanalgebiet und wird aus p-dotiertem Silizium mit einer Dotierstoffkonzentration von 10^{18} cm^{-3} in einer Schichtdicke von 100 nm aufgewachsen. Die dritte Schicht 343 wirkt als oberes Source-/Draingebiet und wird in einer Schichtdicke von 250 nm mit einer Dotierstoffkonzentration von $5 \times 10^{19} \text{ cm}^{-3}$ aus n-dotiertem Silizium aufgewachsen. Die selektive Epitaxie wird dabei so geführt, daß die Schichtdicken am Rand der Öffnung 330 geringer sind als in der Mitte der Öffnung 330. Die angegebenen Schichtdicken beziehen sich auf die Mitte der Öffnung 330. Am Rand der Öffnung 330 sind die Schichtdicken um einen Faktor von etwa 2 bis 3 reduziert. Die selektive Epitaxie wird unter Einhaltung folgender Prozeßparameter durchgeführt: Prozeßgas: SiH_2Cl_2 , B_2H_6 , AsH_3 , PH_3 , HCl , H_2 Temperaturbereich: 700 bis 950°C , Druckbereich: 5 bis 20 000 Pa.

Anschließend wird eine 600 nm dicke Polysiliziumschicht 35 aufgebracht und mit Hilfe von chemisch-mechanischem Polieren selektiv zu SiO_2 planarisiert. Die Polysiliziumschicht 35 schließt nach der Planarisierung in der Höhe mit der zweiten

Siliziumoxidschicht 333 ab (siehe Figur 14). Die Polysiliziumschicht 35 wird vorzugsweise aus n-dotiertem Polysilizium gebildet, so daß sie mit der dritten Schicht 343 elektrisch verbunden ist.

5

Die Polysiliziumschicht 35 wird nachfolgend selektiv zu SiO_2 geätzt. Dabei wird ein Graben 37 gebildet, der eine Tiefe von zum Beispiel 300 nm aufweist (siehe Figur 15). In dem Graben 37 sind die Seitenwände der zweiten Siliziumoxidschicht 333 freigelegt.

10

An den im Graben 37 freigelegten Seitenwänden der zweiten Siliziumoxidschicht 333 werden Siliziumnitridspacer 38 durch konforme Abscheidung einer Siliziumnitridschicht und anisotropes Rückätzen der Siliziumnitridschicht gebildet. Die Siliziumnitridspacer 38 weisen eine Dicke von zum Beispiel 50 nm auf.

15

In einer anisotropen Ätzung selektiv zu Siliziumoxid und Siliziumnitrid wird die Schichtenfolge 34 nachfolgend ringförmig strukturiert. Die Ätzung wird fortgesetzt, bis die Oberfläche des Anschlußgebietes 32 freigelegt ist (siehe Figur 16). Dabei wirken die Siliziumnitridspacer 38 als Maske. Der innerhalb der ringförmig strukturierten Schichtenfolge 34 gebildete Freiraum wird mit einer isolierenden Füllung 39 aufgefüllt. Die isolierende Füllung 39 wird zum Beispiel aus SiO_2 durch LPCVD-Abscheidung einer 400 nm dicken SiO_2 -Schicht und anschließendes Rückätzen gebildet. Nachfolgend werden die Siliziumnitridspacer 38 selektiv entfernt. Dadurch werden selbstjustierend Kontaktlöcher zu der Polysiliziumschicht 34 und damit zu der dritten Schicht 343, die als oberes Source-/Draingebiet wirkt, geöffnet. Unter Verwendung einer Photolackmaske werden nachfolgend Kontaktlöcher in die erste Siliziumoxidschicht 332 und die zweite Siliziumoxidschicht 333 sowie in die Siliziumnitridschicht 331 geätzt, die auf das Anschlußgebiet 32 bzw. die Gateelektrode 370 reichen (siehe Figur 17). Durch Aufbringen und Strukturieren einer Metall-

20

30

35

OR 97 P 8023

16

schicht werden nachfolgend Kontakte 312 zu der Gateelektrode 370, zu der Polysiliziumschicht 35 und zu dem Anschlußgebiet 32 gebildet.

5

Patentansprüche

1. Verfahren zur Herstellung eines vertikalen MOS-Transistors,

5

- bei dem auf einer Hauptfläche eines Halbleitersubstrats (11) eine Maske (13) mit einer Öffnung (130) gebildet wird, in der die Hauptfläche freiliegt,

10

- bei dem in der Öffnung (130) durch selektive Epitaxie eine Schichtenfolge (14) aufgewachsen wird, die jeweils eine Schicht (141, 142, 143) für ein unteres Source-/Draingebiet, ein Kanalgebiet und ein oberes Source-/Draingebiet aufweist, wobei am Rand der Schichtenfolge

15

(14) Facetten gebildet werden, so daß die Dicke der Schichten (141, 142, 143) am Rand der Öffnung (130) geringer ist als in der Mitte,

20

- bei dem ein Gatedielektrikum (16) gebildet wird, das an einer Oberfläche des Kanalgebietes (142) angrenzt,

- bei dem eine Gateelektrode (170) gebildet wird, die an das Gatedielektrikum (16) angrenzt.

2. Verfahren nach Anspruch 1,

bei dem die Maske (13) mindestens an der Oberfläche Siliziumoxid und/oder Siliziumnitrid aufweist.

3. Verfahren nach Anspruch 1 oder 2,

30

- bei dem zur Bildung der Maske (33) eine erste isolierende Schicht (331, 332), eine leitfähige Schicht (370) und eine zweite isolierende Schicht (333) gebildet werden, in denen die Öffnung (330) erzeugt wird,

35

- bei dem vor der selektiven Epitaxie zur Bildung der Schichtenfolge (34) an der freigelegten Oberfläche der leitfähigen Schicht (370) das Gatedielektrikum (36) gebildet wird,
 - 5 - bei dem aus der leitfähigen Schicht die Gateelektrode (370) gebildet wird.
4. Verfahren nach Anspruch 3,
bei dem am Rand der Öffnung (330) das untere Source-
- 10 /Draingebiet (341) in der Höhe im wesentlichen mit der ersten isolierenden Schicht und das Kanalgebiet (342) in der Höhe im wesentlichen mit der leitfähigen Schicht (370) abschließt.
5. Verfahren nach Anspruch 1 oder 2,
- 15 - bei dem die Maske (13) aus isolierendem Material gebildet wird,
- bei dem nach Bildung der Schichtenfolge (14) die Seitenwand des Kanalgebietes (142) so freigelegt wird, daß die Seitenwand des unteren Source-/Draingebietes (141) von dem isolierenden Material der Maske (131) im wesentlichen bedeckt bleibt,

20

- 25 - bei dem an der freigelegten Seitenwand des Kanalgebietes (142) das Gatedielektrikum (16) und die Gateelektrode (170) gebildet werden.

6. Verfahren nach Anspruch 5,

30 - bei dem die Maske (13) aus einer ersten isolierenden Schicht (131) und einer zweiten isolierenden Schicht (132) gebildet wird, wobei die erste isolierende Schicht (131) auf der Hauptfläche und auf der ersten isolierenden Schicht

35 (131) die zweite isolierende Schicht (132) angeordnet ist und wobei die zweite isolierende Schicht (132) selektiv zur

ersten isolierenden Schicht (131) und zur Schichtenfolge (14) ätzbar ist,

- 5 - bei dem das untere Source-/Draingebiet (141) in der Höhe im wesentlichen mit der ersten isolierenden Schicht (131) abschließt,
- 10 - bei dem in der zweiten isolierenden Schicht (132) eine Öffnung (130) gebildet wird, die das Kanalgebiet (142) ringförmig umgibt,
- bei dem nach Bildung des Gatedielektrikums (16) die Öffnung mit einer leitfähigen Schicht (17) aufgefüllt wird,
- 15 - bei dem die Gateelektrode (170) durch Strukturieren der leitfähigen Schicht (17) gebildet wird.

7. Verfahren nach Anspruch 6,

- 20 - bei dem die Öffnung (15) in der zweiten isolierenden Schicht (132) an mindestens einer Seite der Schichtenfolge (14) eine Aufweitung (150) aufweist und im Bereich der Aufweitung (150) inselförmige Strukturen (132') angeordnet sind, so daß die Öffnung (15) im Bereich der Aufweitung (150) einen gitterförmigen Querschnitt aufweist,
- 5 - bei dem die leitfähige Schicht (17) die Öffnung (15) auch im Bereich der Aufweitung (150) auffüllt.

- 30 8. Verfahren nach einem der Ansprüche 1 bis 7, bei dem die Schichtenfolge (34) ringförmig strukturiert wird und bei dem die ringförmig strukturierte Schichtenfolge (34) mit einer isolierenden Füllung (39) versehen wird.

Zusammenfassung

Verfahren zur Herstellung eines vertikalen MOS-Transistors.

- 5 Zur Herstellung eines vertikalen MOS-Transistors wird auf einem Halbleitersubstrat eine Maske (13) mit einer Öffnung gebildet. In der Öffnung wird durch selektive Epitaxie eine Schichtenfolge (14) aufgewachsen, die ein unteres Source-/Draingebiet (141), ein Kanalgebiet (142) und ein oberes
- 10 Source-/Draingebiet (143) aufweist. Dabei werden am Rand Facetten gebildet, so daß die Schichtdicken am Rand geringer sind als in der Mitte. Gatedielektrikum (16) und Gateelektrode werden am Rand der Schichtenfolge gebildet.

Figur 3

115 11 00 00

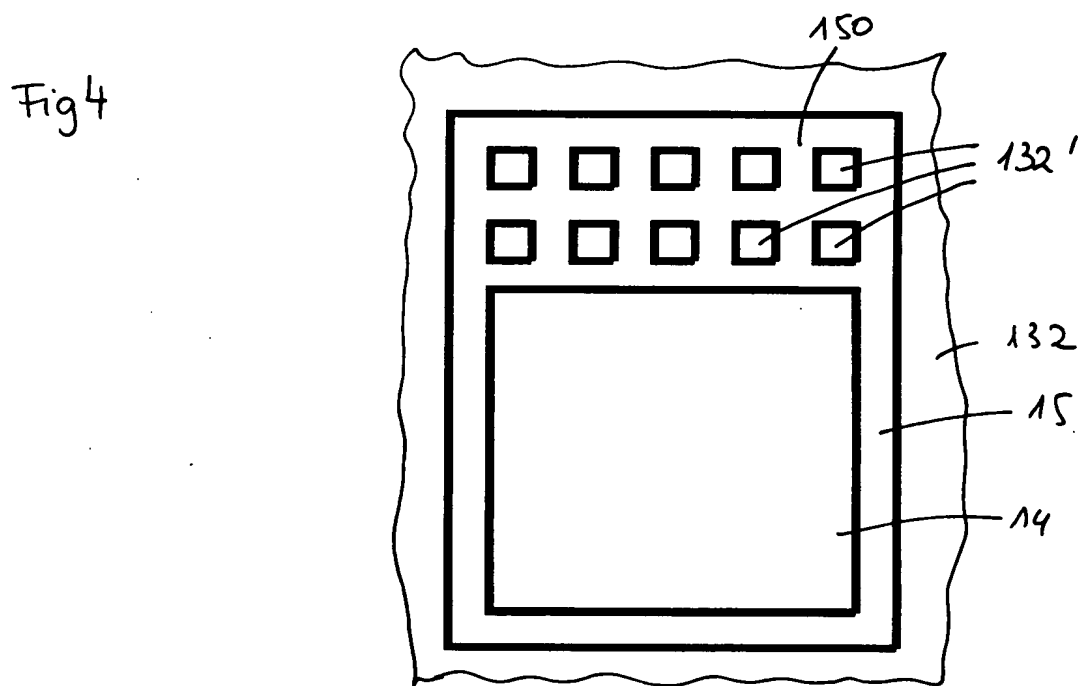
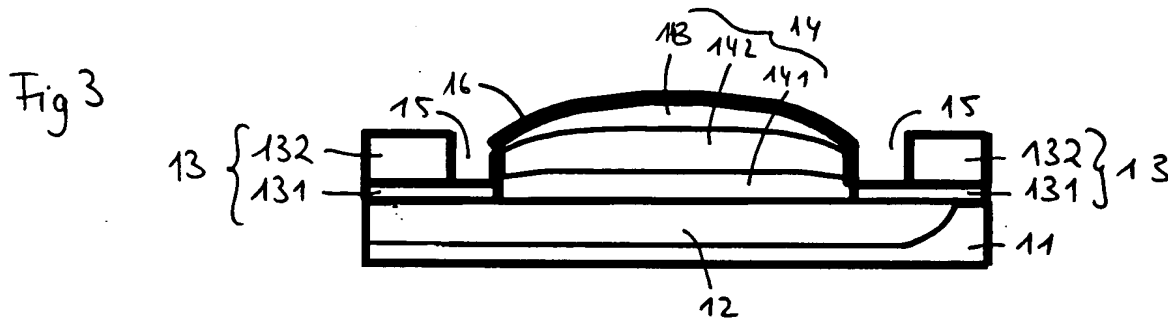
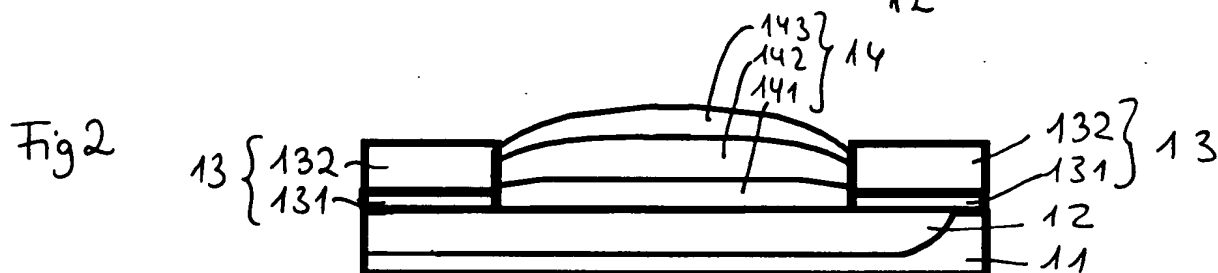
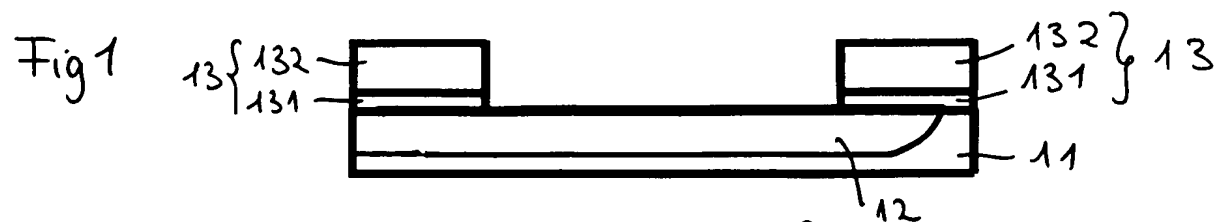


Fig5

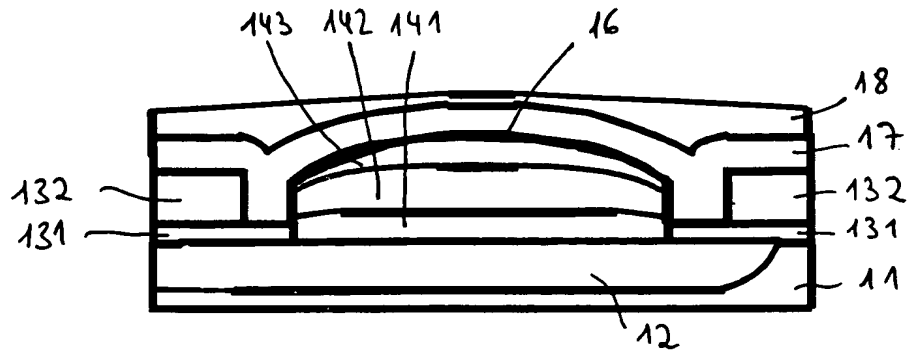


Fig6

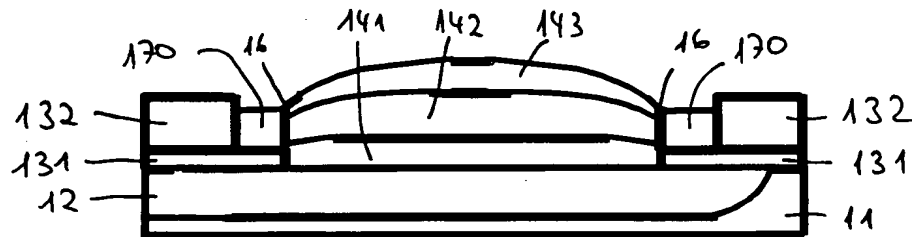


Fig7

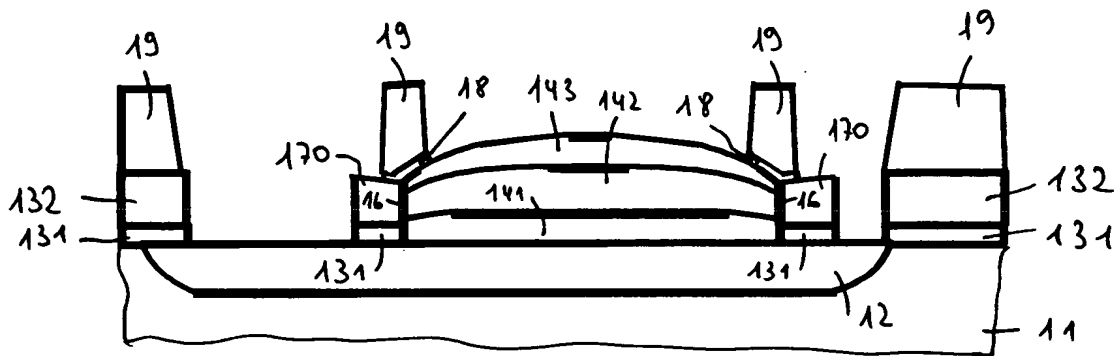


Fig8

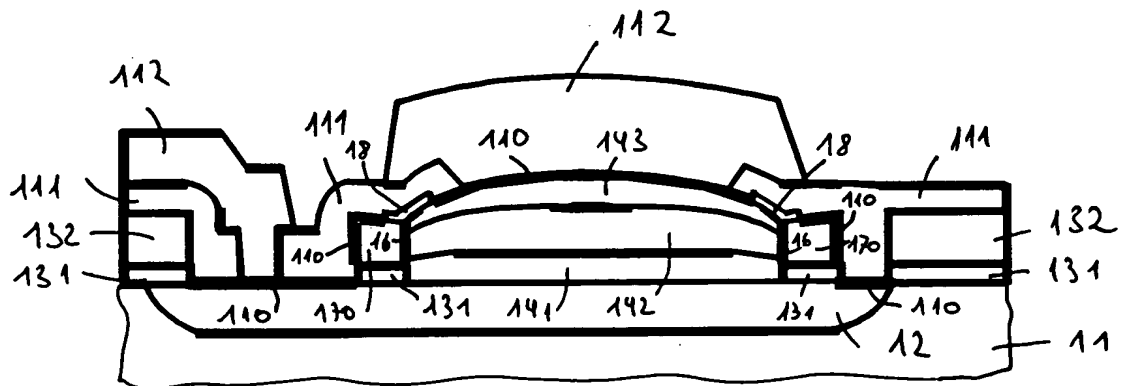


Fig 9

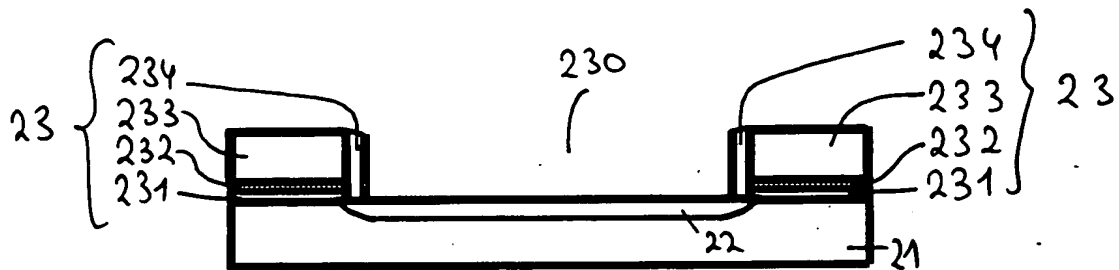


Fig 10

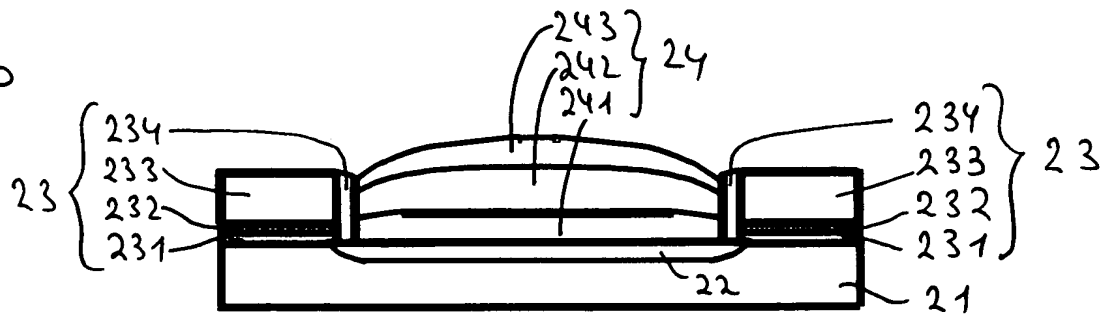


Fig 11

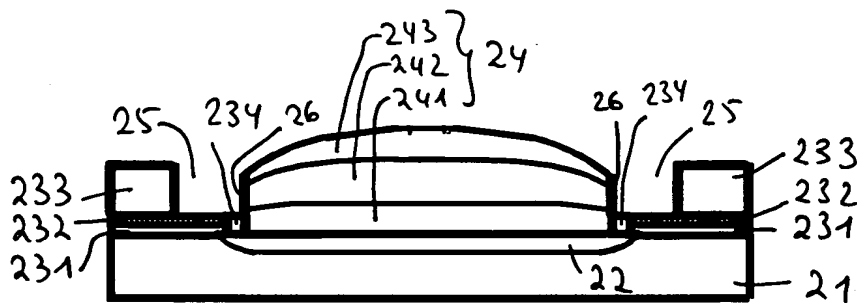


Fig 12

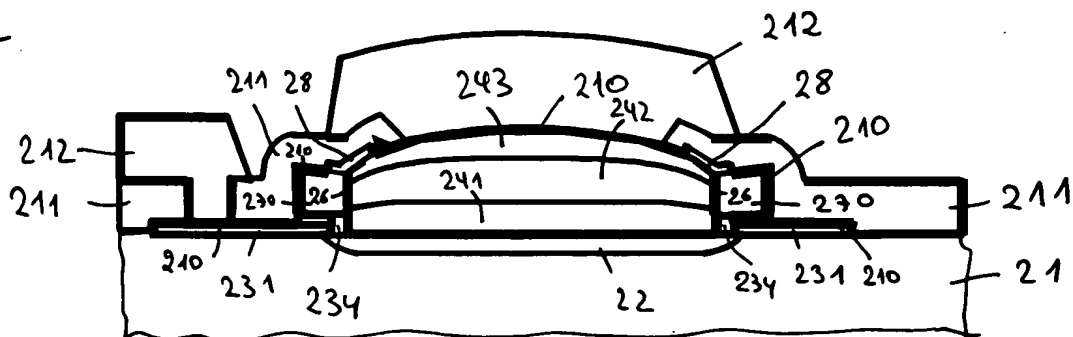


Fig 13

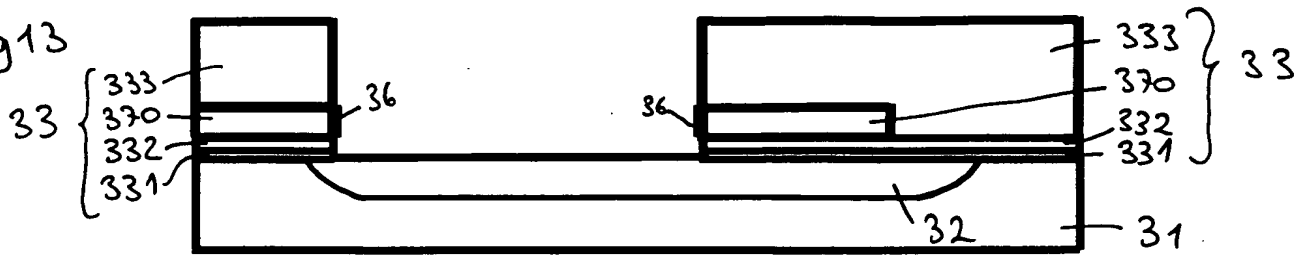


Fig 14

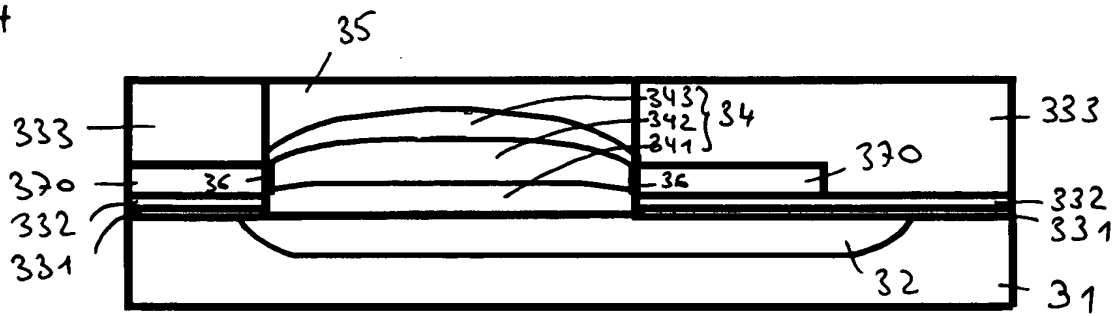
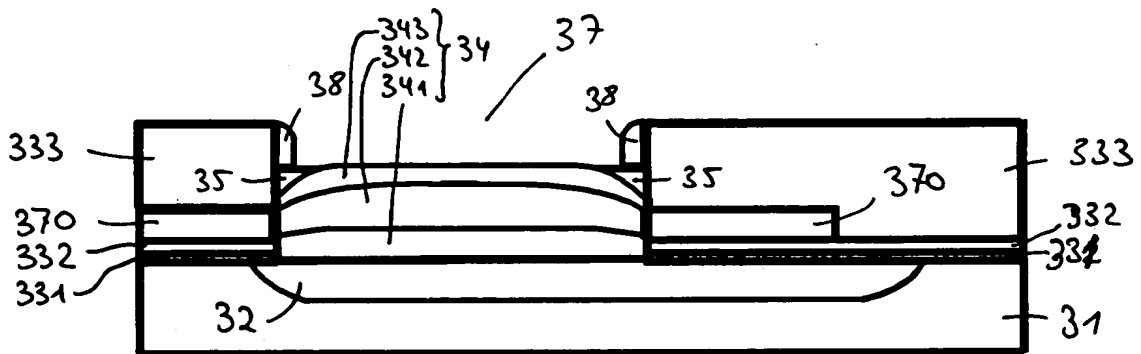


Fig 15



5/5 11.03.98

Fig 16

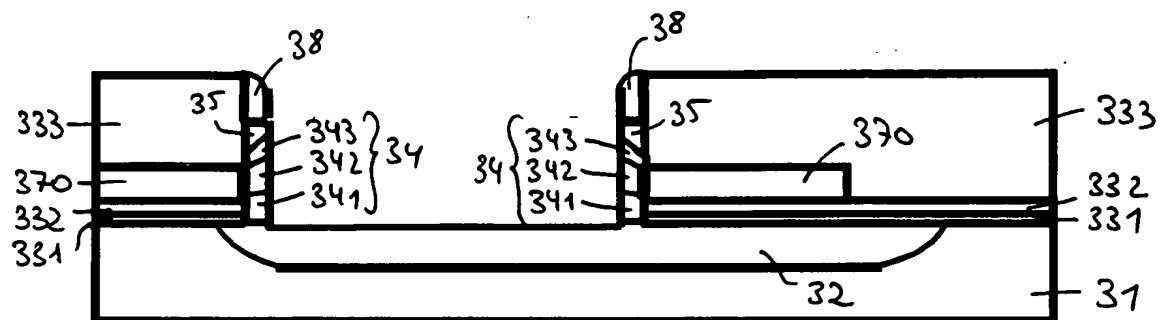
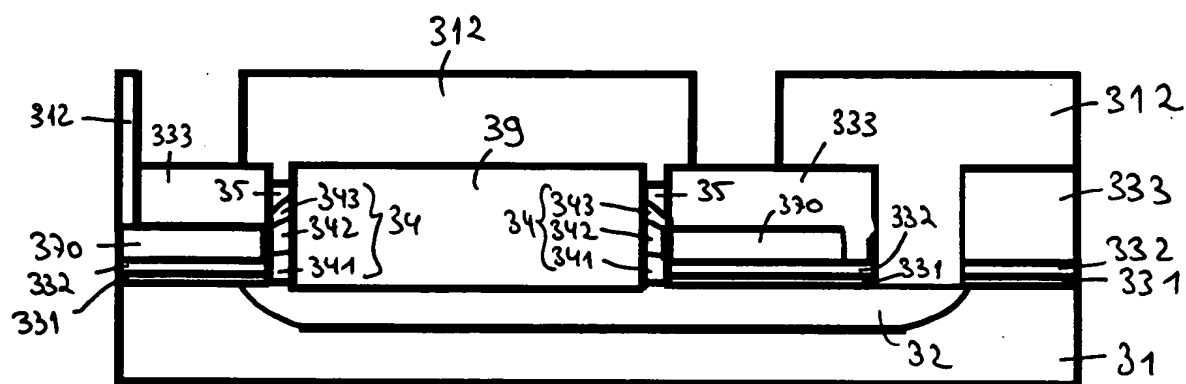


Fig 17



00-00-11-11

THIS PAGE BLANK (USPTO)